

プロセッサの 区分的電力供給アーキテクチャ創出のための 電流検出回路に関する研究

本田旭^{1,a)} 小林美祐¹ 塩田健之祐¹ 大林拓未¹
石塚洋一¹ 柴田裕一郎¹

概要: 近年, CPU の高性能化に伴い, 消費電力の増加が問題となっている. この問題を解決するために, CPU 内部の各モジュールに電力を分配し, 実行命令に基づいて各電源を制御する電力協調型プロセッサを提案する. これにより, 必要最小限の電力供給が可能となり, CPU のさらなる低消費電力化につながる. 電源協調型プロセッサを実現するためには, 各モジュールの消費電流を測定し, 消費電流モデルを作成する必要がある. 本論文では, 各モジュールに搭載する電流測定回路の新しい方式を提案する.

キーワード: 電源協調型プロセッサ, 電流測定, 低消費電力化

Research on Current Measurement Circuits to Realize a Split Power Supply Architecture for Processors

ASAHI HONDA^{1,a)} MIYU KOBAYASHI¹ TSUNOSUKE SHIOTA¹
STAKUMI OBAYASHI¹ YOICHI ISHIZUKA¹ YUICHIRO SHIBATA¹

Abstract: As CPUs evolve, increasing power consumption is a major challenge. To address this, we propose a power-coordinated processor that dynamically distributes power to each CPU module based on execution instructions, optimizing energy efficiency. Achieving this requires accurate current measurement and a detailed consumption model. This paper presents a novel approach for integrating current measurement circuits into each module, enabling precise power analysis.

Keywords: a power-coordinated processor; current measurement; low power consumption

1. はじめに

近年, IOT デバイスが急速に普及している. それに伴い, CPU を用いた情報処理により, クラウドの負荷を軽減するエッジコンピューティングという手法が注目されている.

しかし, CPU の高性能化に伴い消費電力の増大が問題視されており, 今後更なる CPU の高性能化低消費電力化が必要となってくる. CPU の高性能化や低消費電力化に向けたアプローチは多岐にわたるが, その中でも特に消費電力予測とその運用に注目する.

消費電力の予測を行うことで, 命令ごとに消費電力を最

適化し, 性能と消費電力のトレードオフにおける最適な設計が可能となる[1]. これを実現する方法として電源協調型プロセッサを提案する.

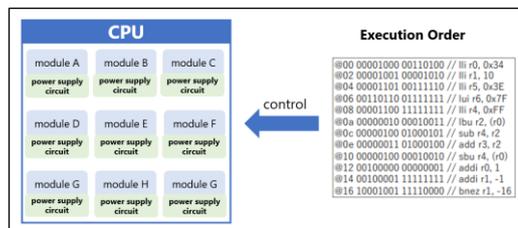


図 1 電源協調型プロセッサ

¹ 長崎大学大学院
〒852-8521 長崎県長崎市文教町 1-14
Graduate School, Nagasaki University
1-14 Bunkyo-machi Nagasaki, 852-8521, Japan

a) E-mail: bb52123243@ms.nagasaki-u.ac.jp

電源協調型プロセッサでは、図1のように、CPUを構成する各モジュールに電源を分散化し、実行命令をもとに各電源を制御する。電源制御に必要なものが、各モジュールの消費電流モデルである。消費電流モデルと実行命令をあらかじめ紐づけさせることで、随時モジュールが要求する電流値を予測できる。これにより、必要最低限の電力供給と電源の応答性の向上が可能となる。そして、実行命令から消費電力が予測できることにより、CPUを設計する際、性能と消費電力のトレードオフの最適化が可能となる。

本研究では、消費電流モデルの作製に向け、各モジュールに搭載する電流測定回路の考案を目的とした。

既に、CPUの消費電力最適化に向けた、消費電力計測手法は存在する[2]-[7]。しかし、これらはCPU全体の消費電力に着目しており、CPU内部モジュールの測定に関して言及されていない。

そこで、私たちはCPU内部モジュールの消費電流を実行命令ごとに計測することが可能である、新たな測定回路の開発を行った。

2. ショント抵抗を用いた電流測定手法

2.1 検証方法

電流測定の一般的な手法として、ショント抵抗を用いた電流測定方法がある。

まず、FPGA評価ボード Artix7 を用い CPU のコア電源ラインの電流を測定することで、この手法での電流測定が可能かを検証した。

図2はショント抵抗を用いた電流測定回路を示している。

図3のように、オシロスコープを用いてオペアンプの出力電圧 V_{out} を計測し、式(1)により、コア電源ラインの電流の I_{out} 算出を行った。

$$I_{out} = \frac{V_{out}}{A_v \times R_s} \quad (1)$$

また、CPU内部のモジュールの電流値を間接的に測定するため、ベクトル演算モジュールのオンオフを20MHzのクロックと同期して行った。

2.2 測定結果

図4の測定結果から、 V_{out} の平均値は9.013[mV]であることが確認できた。また、式(1)を用いると、ショント抵抗を流れる電流 I_{out} は18.026mAであった。

図2の回路では、平均値として電流値を測定することは可能であるが、ベクトル演算モジュールのオンオフによる微小な電流値の変化を可視化することはできなかった。この原因は、本検証で使用したオペアンプの周波数帯域にあると考える。本検証で使用したオペアンプ INA199A1の周波数帯域は70kHzであった[8]。一方で、測定したい波形は

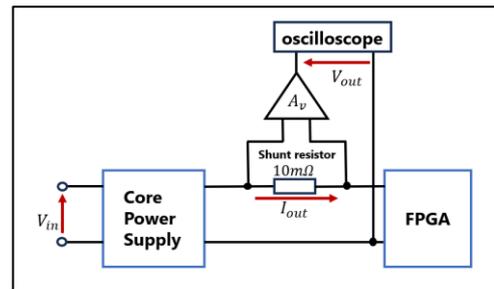


図2 ショント抵抗を用いた電流測定回路

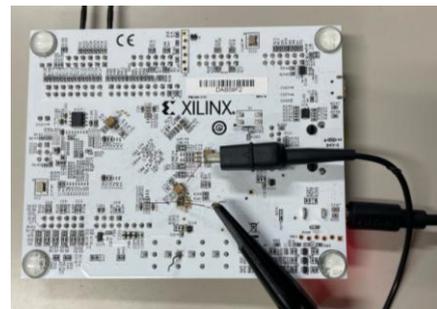


図3 電流測定の様子

モジュールのオンオフにより10MHzで変動している。そのため、本検証で使用したオペアンプでは、この信号を可視化できるほどの十分な利得を得ることが出来なかったと考える。CPUでは数GHzのクロック信号と同期して異なる命令が処理されている。負荷電流値はクロック信号と同期しているため、数GHzの矩形波になると考える。この矩形波状の負荷電流値を正確に測定するには、基本波周波数の10~20倍の帯域幅を持つオペアンプを用いる必要がある。しかし、現在一般的に高速とされるTHS3491[9]のようなオペアンプの帯域幅は900MHzであり、数GHzで変化する負荷電流値を正確に測定することはできない。また、図2の回路で得る電流値はアナログ値であり、この値を直接クロック信号と同期させることはできない。そのため、この測定手法で得たデータでは消費電流モデルの作製に適さないと考えた。

そこで、CPUのクロック信号と同期して正確な負荷電流値を得ることが可能な測定手法の提案が必要である。

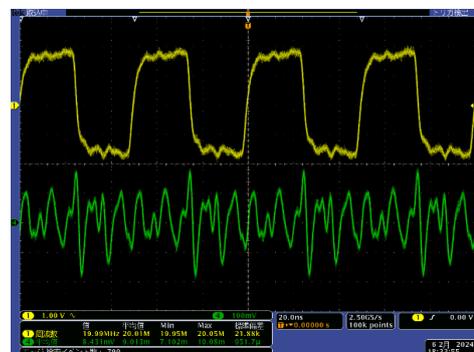


図4 ショント抵抗を用いた電流測定の結果

CH1: クロック電圧,

CH2: ショント抵抗にかかる電圧

(縦軸 CH1: 1.00V, CH2: 100mV 横軸 20.0μs)

3. Digital-LDO を応用した電流測定回路

本論文で提案する新たな測定手法が Digital-LDO を応用した電流測定回路である。

LDO は、CPU をはじめとするさまざまな電子機器の電源回路として一般的に使用されている。LDO を動作させる際には、負荷の要求に応じて電流を制御する必要がある。つまり、制御値は間接的に負荷電流を表している。

Digital-LDO ではデジタル制御により動作するため、負荷電流値を間接的にデジタル表現することが可能となる。そのため、Digital-LDO を電流測定回路として用いることで、電力供給を行いながら、負荷電流値をデジタル値で取得することが可能である。

3.1 Digital-LDO の回路構成

Digital-LDO は図 5 で示すように、コンパレータ、アップダウンカウンタ、10 個の P 型 MOSFET（以下 PMOS）からなるスイッチングアレイで構成されている。

また、表 1 の回路設計仕様をもとに設計を行った。

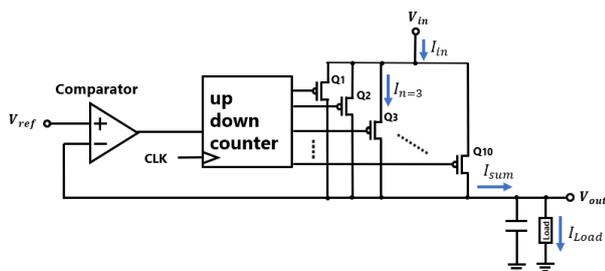


図 5 Digital-LDO の回路図

表 1 回路設計仕様

項目	値
入力電圧 [V]	1.8
出力電圧 [V]	0.95
負荷電流 [A]	0.4m – 4.6m
クロック周波数 [Hz]	200M
出力電圧リップル	±10mV 以下



図 6 コンパレータ回路図

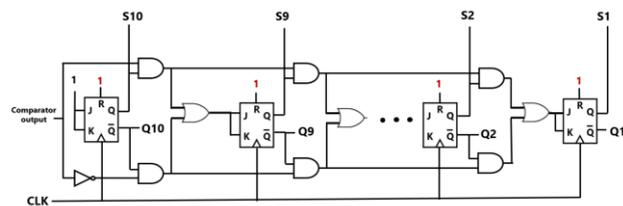


図 7 10 ビットアップダウンカウンタの回路図

3.1.1 コンパレータ回路

コンパレータ回路を図 6 に示す。この回路は、カレントミラー回路を用いた入力差動対とバッファ回路で構成されている。

3.1.2 10 ビットアップダウンカウンタ

10 ビットのアップダウンカウンタの回路構成を図 7 に示す。出力 Q1~Q10 は後段のスイッチングアレイの PMOS のゲート端子に接続されている。一方、出力 S1~S10 は負荷電流値の算出に用いる信号が出力される。

まず、初期状態として全 JK フリップフロップの Q に 0 を格納する。理由は、後段の PMOS を使用したスイッチングアレイを初期状態として全てオフにするためである。

アップダウンカウンタのアップダウン動作は、コンパレータ出力によって決定される。コンパレータ出力が 1 の場合はクロックエッジに同期して 1 ビットカウントアップし、コンパレータ出力が 0 の場合はクロックエッジに同期して 1 ビットカウントダウンする。

3.1.3 スwitchングアレイ

Digital-LDO には一般的に複数の MOSFET を使用したスイッチングアレイが用いられる。この時、MOSFET の個数を増やすほど、LDO の制御精度が上がり、出力電圧リップルの低減や負荷電流の調整精度が向上する。このスイッチングアレイの制御方法として主に 2 つの方法がある。

- ① MOSFET の W/L 比を全て同じ値で設計する。シフトレジスタを用いてオンする MOSFET の個数を増減させることで出力を制御する[10]。
- ② MOSFET の W/L 比を異なる値にし、重みづけをする。アップダウンカウンタを使用し、各 MOSFET のオン信号を変化させることで出力を制御する[11]。

A の方法で設計する場合は、想定する最小の W/L 比で設計する必要があるため、多くの MOSFET を使用する必要がある。

一方で、B の方法を使用する場合は、各 MOSFET の W/L 比が重みづけされているため、1 つ目の方法より少ない MOSFET で設計が可能となる。

例えば、分解能を 1024bit にしたい場合、A の方法では MOSFET を 1024 個用いる必要があるが、B の方法では 10

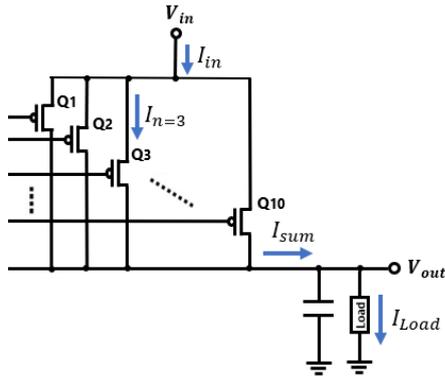


図 8 スイッチングアレイ回路図

個で実現可能となる。

本稿では、回路規模を小さくするために②の方法で設計を行った。

図 8 にスイッチングアレイの回路図を示す。10 個の PMOS はそれぞれ W/L が異なり、n 番目のスイッチ Q_n をオンした際に流れるドレイン電流 I_n は式(2)の関係になるよう、PMOS ドレイン電流を表す式(3)を用いて W/L 比を決定する。この時、 I_{in} の値は最大負荷電流値 I_{max} を用いる。

$$I_n = \frac{I_{in}}{2^n} \quad (n = 1 \sim 10) \quad (2)$$

$$I_{DS} = -\frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 \quad (3)$$

式(2)と式(3)を用いて 10 個の PMOS の WL 比を決定し、シミュレーションを用いて、各 PMOS のドレイン電流を測定した。表 1 にその結果を示す。

3.1.4 負荷回路の設計

本稿で作製する Digital-LDO は負荷も搭載している。そうすることで、CPU 内部の消費電流測定という環境を詳細に模擬することが可能であると考えた。

この負荷として、図 9 のように N 型 MOSFET を使用した。理由としては、Digital-LDO に搭載でき、ゲートソース間電圧を変化させることで負荷電流値（ドレイン電流値）を変化させることが可能だからである。

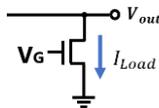


図 9 負荷回路

表 2 PMOS のサイズとドレイン電流

スイッチ番号	ドレイン電流 [μA] (理論値)	チャネル幅 W [μm]	チャネル長 L [nm]	ドレイン電流 [μA] (シミュレーション値)
1	2300	13.1	180	2296
2	1150	6.7	180	1160
3	575	3.38	180	582.4
4	288	1.71	180	293.3
5	144	0.81	180	146.4
6	71.9	0.51	240	72.5
7	35.9	0.51	550	35.8
8	18	0.59	1380	18.1
9	8.98	0.6	2920	9.0
10	4.49	0.64	6250	4.5

3.2 Digital-LDO のレイアウト設計

この度の設計では、ローム 180nmCMOS プロセスを使用した。

Digital-LDO のレイアウトを図 10 に示す[12][13]。このレイアウトでは、アナログ電源とデジタル電源の配線を分離した。これにより、デジタル部分で発生する高周波なスイッチングノイズがアナログ部分に流れ込むことを防ぎ、アナログ信号の品質が向上する。

図 11 は Digital-LDO の GND 配線を示している。GND 配線も電源と同様にアナログ部分とデジタル部分で配線を分離し、1 点で接続するスターポイント接続を使用した。これにより、双方の回路のノイズ干渉を防ぎつつ基準電位を統一することが可能である。また、接続点を電源側に配置することで、リターンパスを短くすることができ、ノイズをさらに低減させることができる。

図 12 は Digital-LDO の全体レイアウトのメイン部分を拡大したものである。

ピン配置は以下のようになっている。

左側：IO バッファの電源、アナログ（電源・入出力信号）

右側：デジタル（電源・入力信号）

下側：アップダウンカウンタの出力信号

Digital-LDO の本体からピンまでの配線が長くなる場合、配線抵抗の影響が大きくなり、ノイズや電圧降下などで信号の特性が悪化する。そのため、本稿では、複数階層に配線を並列化し配線の抵抗値を減少させた。

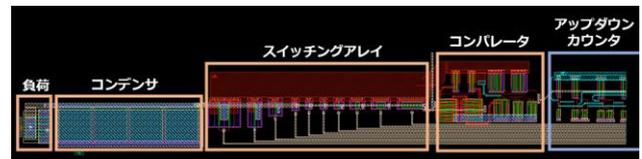


図 10 Digital-LDO のレイアウト

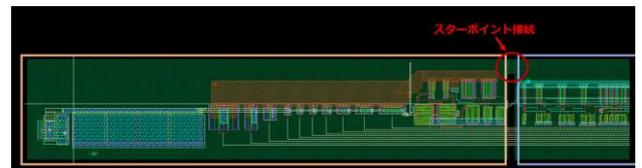


図 11 Digital-LDO のレイアウト (GND を含む)

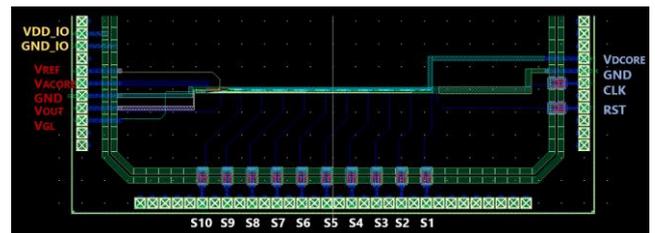


図 12 Digital-LDO 全体レイアウト (拡大)

3.3 Digital-LDO を用いた電流推定

図 12 の Digital-LDO 全体レイアウトで RC 配線抽出を行い、寄生成分を考慮したシミュレーションでの、測定精度検証を行った。

本稿では、負荷電流値が 4.1mA の場合の測定精度検証の結果を述べる。

3.3.1 電流推定方法

負荷電流値の推定方法は以下の通りである。

各 PMOS のスイッチング信号 S_n (S1~S10) の値を取得し、この値とドレイン電流 I_n を用いて測定値 I_{sum} は式(4) で求めることができる。

$$I_{sum} = \sum_{n=1}^{10} S_n \times \frac{I_{max}}{2^n} \quad (4)$$

3.3.2 測定精度の検証結果

図 13, 図 14 の各スイッチの信号波形から S1=1, S2=1, S3=1, S4=0, S5=1, S6=1, S7=0, S8=0, S9=1, S10=1 となることが確認できた。

この信号値と式(4)を用いて負荷電流値を算出すると、式(5)のようになる。

$$I_{sum} = 4.6 \times 10^{-3} \times \left(\frac{1}{2^1} + \frac{1}{2^2} + \frac{1}{2^3} + \frac{1}{2^5} + \frac{1}{2^6} + \frac{1}{2^9} + \frac{1}{2^{10}} \right) = 4.25[mA] \quad (5)$$

式(5)の値を図 15 より得た負荷電流値 4.1mA と比較すると、差は 0.154mA となり、相対誤差は式(6)より

$$\frac{|4.1 \times 10^{-3} - 4.25 \times 10^{-3}|}{4.1 \times 10^{-3}} \times 100 = 3.76[\%] \quad (6)$$

この値は JIS(Japanese Industrial Standard) C 1102 [14][15]を参考にした場合、5 級相当の計測機器となる。

本稿の Digital-LDO で計測した値(式(5))と真値 4.1mA に差が生じた原因は、表 2 から分かるように、ドレイン電流 I_n が理論値とシミュレーション値で差があるからである。

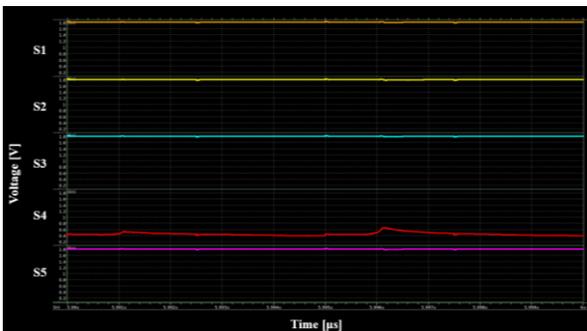


図 13 スwitchの信号波形 (S1~S5)

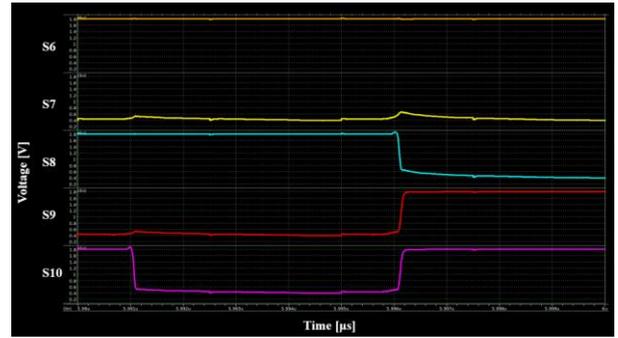


図 14 スwitchの信号波形 (S6~S10)

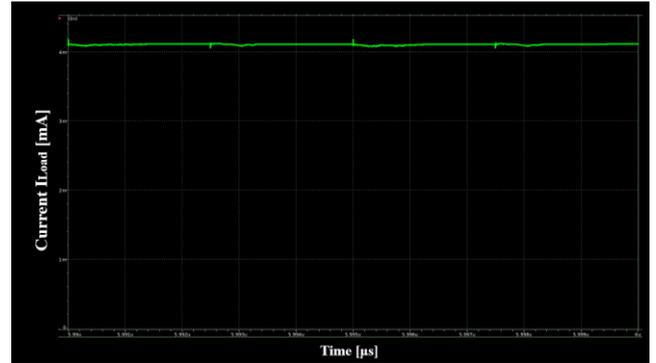


図 15 負荷電流波形

つまり、スイッチングアレイに使用する PMOS のサイズを決定する際、ドレイン電流値をより理論値に近づけることで、Digital-LDO での電流推定精度が向上することがわかる。

4. おわりに

本稿では、CPU 内部モジュールの電流測定回路として、本来電力供給用の回路である Digital-LDO を応用する手法を提案した。そして、この回路を用いた電流測定精度の検証を、寄生成分を考慮したシミュレーションを用いて行った。

その結果、提案回路によりある程度負荷電流値を予測することが可能だとわかった。

今後この測定精度を向上させるために、より高分解能での設計を行う。また、 I_n の理論値と実測値を限りなく近い値にするために、精密な W/L 比の設計を行いたい。また、実機での測定精度の検証も今後行う予定である。

謝辞

本研究は、東京大学 VDEC 活動を通して、日本ケイデンス・デザイン・システムズ社およびシーメンス EDA ジャパン株式会社との協力で行われたものである。各機関に対し、深く感謝を申し上げる。

参考文献

- [1] A. M. Luthfi, Iswanto, A. Maarif and G. N. P. Pratama, "CNN-BiLSTM for Power Consumption Prediction using Raspberry Pi 4," *2023 10th International Conference on Electrical Engineering, Computer Science and Informatics (EECSI)*, Palembang, Indonesia, 2023, pp. 134-138, doi: 10.1109/EECSI59885.2023.10295920.
- [2] S. Kawaguchi, "Efficiency Improvement of Computer Power Supply using Power Consumption Estimation from CPU Performance Monitors," *2022 IEEE Energy Conversion Congress and Exposition (ECCE)*, Detroit, MI, USA, 2022, pp. 1-6, doi: 10.1109/ECCE50734.2022.9947917.
- [3] D. K. Newsom, S. F. Azari, A. Anbar and T. El-Ghazawi, "Granular CPU power measurement for SMP clusters," *2013 International Green Computing Conference Proceedings*, Arlington, VA, USA, 2013, pp. 1-6, doi: 10.1109/IGCC.2013.6604465.
- [4] Ž. Nakutis, "A consumption current measurement approach for FPGA based embedded systems," *2012 IEEE International Instrumentation and Measurement Technology Conference Proceedings*, Graz, Austria, 2012, pp. 328-333, doi: 10.1109/I2MTC.2012.6229202.
- [5] A. Borovyi, V. Kochan, T. Laopoulos and A. Sachenko, "Time-domain analysis of ARM7TDMI core instructions," *Proceedings of the 6th IEEE International Conference on Intelligent Data Acquisition and Advanced Computing Systems*, Prague, Czech Republic, 2011, pp. 785-790, doi: 10.1109/IDAACS.2011.6072877.
- [6] A. Borovyi, V. Kochan, Z. Dombrovskyy, V. Turchenko and A. Sachenko, "Device for measuring instant current values of CPU's energy consumption," *2009 IEEE International Workshop on Intelligent Data Acquisition and Advanced Computing Systems: Technology and Applications*, Rende, Italy, 2009, pp. 126-130, doi: 10.1109/IDAACS.2009.5343010.
- [7] A. Borovyi, V. Kochan, A. Sachenko, V. Konstantakos and V. Yaskilka, "Analysis of Circuits for Measurement of Energy of Processing Units," *2007 4th IEEE Workshop on Intelligent Data Acquisition and Advanced Computing Systems: Technology and Applications*, Dortmund, Germany, 2007, pp. 42-46, doi: 10.1109/IDAACS.2007.4488369.
- [8] Texas Instruments, "INA199 26-V, Bidirectional, Zero-Drift, Low-or High-Side," 2023. [Online]. Available: <https://www.ti.com/document-viewer/ina199/datasheet>
- [9] Texas Instruments, "THS3491 900-MHz, 500-mA High-Power Output Current Feedback Amplifier Datasheet", 2023. [Online]. Available: <https://www.ti.com/documentviewer/ths3491/datasheet>
- [10] Yasuyuki Okuma et al., "0.5-V input digital LDO with 98.7% current efficiency and 2.7- μ A quiescent current in 65nm CMOS," *IEEE Custom Integrated Circuits Conference 2010*, San Jose, CA, 2010, pp. 1-4, doi: 10.1109/CICC.2010.5617586
- [11] T. -J. Oh and I. -C. Hwang, "A 110-nm CMOS 0.7-V Input Transient-Enhanced Digital Low-Dropout Regulator With 99.98% Current Efficiency at 80-mA Load," in *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 23, no. 7, pp. 1281-1286, July 2015, doi: 10.1109/TVLSI.2014.2333755.
- [12] 名倉 徹, "VDECEDA 環境におけるミックスドシグナル回路設計方法", 2009 年
- [13] 名倉 徹, "LSI 設計常識講座" 東京大学出版会, 2011 年
- [14] Japanese Industrial Standard, "JIS C 1102-1 Direct-acting indicating electrical meters - Part 1: Definitions and Common Requirements", 2007. [Online]. Available: <https://kikakurui.com/c1/C1102-1-2011-01.html>
- [15] Japanese Industrial Standard, "JIS C 1102-2 Direct-acting indicating electrical meters - Part 2: Requirements for Ammeters and Voltmeters", 1997. [Online]. Available: <https://kikakurui.com/c1/C1102-2-1997-01.html>